


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**Applicant(s):** Tomoyuki Taguchi**Docket:** JP920000005US1 (14606)**Serial No.:** Unassigned**Dated:** July 30, 2001**Filed:** Herewith**For:** INSPECTION METHOD FOR ARRAY
SUBSTRATE AND INSPECTION DEVICE
FOR THE SAME11011 U.S. PTO
09/917959
07/30/01Assistant Commissioner for Patents
Washington, DC 20231#3
H. H. H.
9.18.01**CLAIM OF PRIORITY**


Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submit a certified copy of Japanese Patent No. 2000-235505, issued on August 3, 2000.

Respectfully submitted,


Steven Fischman
Registration No. 34,594SCULLY, SCOTT, MURPHY & PRESSER
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343
SF:tt**CERTIFICATE OF MAILING BY "EXPRESS MAIL"****"Express Mail" mailing label number: EL895322915US**
Date of Deposit: July 30, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to: Assistant Commissioner for Patents, Washington, DC 20231.

Dated: July 30, 2001
Janet Grossman

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Year
11011 U.S. PAT.
09/917959
07/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月 3日

出 願 番 号

Application Number:

特願2000-235505

出 願 人

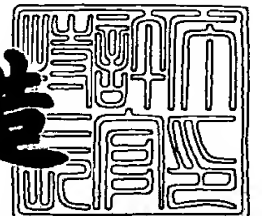
Applicant(s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3087016

【書類名】 特許願

【整理番号】 JP9000005

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/02
G01R 29/02

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・
ビー・エム株式会社 野洲事業所内

【氏名】 田口 知幸

【特許出願人】

【識別番号】 390009531

【住所又は居所】 アメリカ合衆国 1 0 5 0 4、ニューヨーク州アーモンク
(番地なし)

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ
イション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【電話番号】 0462-73-3318

【復代理人】

【識別番号】 100094248

【弁理士】

【氏名又は名称】 楠本 高義

【選任した代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【手数料の表示】

【予納台帳番号】 012922

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304391

【包括委任状番号】 9304392

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アレイ基板の検査方法及び該検査装置

【特許請求の範囲】

【請求項 1】 基板と、該基板上にマトリックス状に電氣的に非導通状態で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、該複数の補助容量線のそれぞれと該複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量とを備えたアレイ基板の検査方法であって、
前記複数の補助容量線から前記複数の補助容量にパルス信号を印加するステップと、
前記複数の信号線から前記複数のスイッチング素子を介して前記複数の補助容量にパルス信号を印加するステップと、
前記した 2 つのパルス信号の電位差によって該補助容量に蓄積された電荷量を測定する測定ステップと
を含むアレイ基板の検査方法。

【請求項 2】 基板と、該基板上にマトリックス状に電氣的に非導通状態で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、該複数の補助容量線のそれぞれと該複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量とを備えたアレイ基板の検査方法であって、
前記複数の補助容量線から前記複数の補助容量にパルス信号を印加するステップと、
前記パルス信号による電位によって該補助容量に蓄積された電荷量を測定する測定ステップと
を含むアレイ基板の検査方法。

【請求項 3】 前記複数の補助容量線より前記複数の補助容量に印加するパルス信号と前記複数の信号線より前記複数のスイッチング素子を介して該複数の

補助容量に印加するパルス信号が、同時に該複数の補助容量に印加される請求項 1 記載のアレイ基板の検査方法。

【請求項 4】 前記複数の補助容量線より前記複数の補助容量に印加するパルス信号と前記複数の信号線より前記複数のスイッチング素子を介して該複数の補助容量に印加するパルス信号が、パルスの立ち上がり時間が異なる請求項 3 記載のアレイ基板の検査方法。

【請求項 5】 前記複数の補助容量線より前記複数の補助容量に印加するパルス信号のパルスの立ち上がり時間が、該複数の補助容量のそれぞれで異なる請求項 1 又は 2 に記載のアレイ基板の検査方法。

【請求項 6】 前記測定ステップが、前記補助容量線に電氣的に接続された前記複数の補助容量のうち、一つの該補助容量に蓄積された電荷量を測定する請求項 1 又は 2 に記載のアレイ基板の検査方法。

【請求項 7】 前記一つの補助容量に蓄積された電荷量を測定することを、前記複数の補助容量線の全てについて行なう請求項 6 記載のアレイ基板の検査方法。

【請求項 8】 前記測定ステップが、前記信号線に前記複数のスイッチング素子を介して接続された前記複数の補助容量に蓄積された電荷量を測定する請求項 1 又は 2 に記載のアレイ基板の検査方法。

【請求項 9】 基板と、該基板上にマトリックス状に電氣的に非導通状態で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、前記複数の補助容量線のそれぞれと前記複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量と、を備えたアレイ基板を検査するためのアレイ基板の検査装置であって、前記複数の補助容量のそれぞれにパルス信号を印加するために前記補助容量線と前記信号線に接続されたパルス信号発生装置と、前記それぞれの補助容量に蓄積された電荷量を測定する回路を備えたアレイ基板の検査装置。

【請求項 10】 基板と、該基板上にマトリックス状に電氣的に非導通状態

で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、前記複数の補助容量線のそれぞれと前記複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量と、を備えたアレイ基板を検査するためのアレイ基板の検査装置であって、

前記複数の補助容量のそれぞれにパルス信号を印加するために前記補助容量線に接続されたパルス信号発生装置と、

前記それぞれの補助容量に蓄積された電荷量を測定する回路を備えたアレイ基板の検査装置。

【請求項 1 1】 前記補助容量に蓄積された電荷量を測定する回路が、前記信号線に接続されている請求項 9 又は 1 0 に記載のアレイ基板の検査装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、液晶表示装置に使用されるアレイ基板の検査方法及び該検査装置に関し、詳しく述べると、TFTアレイ基板の補助容量線の断線検査方法及び該検査装置に関する。

【0 0 0 2】

【従来の技術】

TFT (Thin Film Transistor) アレイ基板は、図 8 (a) に示すように、ガラス基板上に信号線 1 5 とゲート線 2 1 とを電氣的に非導通状態で交叉させながらマトリックス状に配線し、その交叉部の付近に TFT 2 2 を配設している。TFT 2 2 のゲートとソースに上記のゲート線 2 1 と信号線 1 5 がそれぞれ接続される。TFT 2 2 のドレインには透明電極 (ITO) が接続される。この透明電極の所定部分 2 3 と対向する形で補助容量電極 2 5 が配設され、透明電極の所定部分 2 3 と補助容量電極 2 5 によって補助容量 (Cs) 2 4 が構成される。蓄積容量方式の場合、補助容量電極 2 5 は補助容量線 (以下 Cs 線という) 1 3 によって、補助容量駆動回路へ接続される。上記の TFT アレイ基板における各線や電極等の配設は、ガラス基板上において、パターンニング

ロセスを繰り返して行なわれる。

【 0 0 0 3 】

近年、液晶表示装置の大画面化によって、上記の各線の長さが長くなり且つ、液晶表示装置の高精細化によって、上記の各線が細線化している。このことは、上記のパターニングプロセスによって各線を形成するときに、線が断線する等して、不良品の発生する確立が高くなる。従って、不良品が発生した場合に、次の製造工程に不良品が入らないように、T F T アレイ基板の検査を行なう。この検査には、一般に市販されている T F T アレイテスターを使用する。T F T アレイテスターは、各種の線の断線（オープン）、短絡（ショート）、抵抗又は画素欠陥等を検査することがきる。

【 0 0 0 4 】

上記 T F T アレイテスターを用いた各種の線の断線検査において、C s 線 1 3 の断線の検査は実施されていなかった。これは、蓄積容量方式を使用した 1 2 型以下の小型パネルにおいて点灯検査を実施しても、C s 線 1 3 が短いので、C s 線 1 3 の断線による不良が検出されにくいことと、1 4 型以上の液晶パネルのほとんどで、図 9（a）に示す C s 線 1 3 のない構造（駆動容量方式）が採用されているからである。この駆動容量方式は、C s 線 1 3 を配線しないので、不良品の発生確立を下げ、液晶表示装置の開口率を向上させる利点がある。

【 0 0 0 5 】

しかし、液晶ディスプレイが高精細化、大型化した場合、ゲート線 2 1 の配線が長く、線幅が細くなるために、配線の抵抗が大きくなる。また、信号線 1 5 の数が多いため、信号線 1 5 とゲート線 2 1 との交叉部分における容量が増大する。これらのことによって、ゲート駆動信号を出力するゲートドライバーへの負荷が大きくなる。更に、駆動容量方式では、補助容量 2 4 の補助容量電極 2 5 が前段または後段のゲート線 2 1 に接続されるので、ゲート線 2 1 では、ゲート信号と補助容量電極 2 5 への信号が混在し、補助容量 2 4 へ蓄積できる電荷量が蓄積容量方式と比較して少ない。

【 0 0 0 6 】

上記のことより最近、1 4 型以上の液晶パネルにおいて、図 9（b）に示すよ

うなCs線13を使用した蓄積容量方式が採用されることが多くなっている。従って、14型以上の液晶パネルにおいて蓄積容量方式を用いた場合、Cs線13が含まれるので、Cs線13が断線していると、点灯試験によってCs線13の断線が検出される。しかし、点灯試験は液晶パネルを組み立てた後の検査であり、TFTアレイ基板を製造した段階でCs線13の断線を検出し、次の工程に不良品のTFTアレイ基板を流入させない方が、無駄がなく好ましい。

【0007】

TFTアレイ基板の各種の線の断線、短絡、抵抗又は画素欠陥等を検査するTFTアレイテスターでは、Cs線13の断線が検出できない。これは、Cs線13に一定電圧 V_{cs} を供給しながら、図10に示すようなパルス信号 V_d を信号線15に供給する。また、Cs線13に一定電圧 V_{cs} を供給することによって、補助容量電極25には電圧 V_{cs} が印加される。なお、上記のパルス信号 V_d において、パルス信号 V_d の立ち下がり、ゲート信号がオフされた後であり、補助容量24における電位差に関係がないので、任意の時間でパルス信号 V_d が立ち下がることとする。

【0008】

そして、図10に示すように、時間 t_0 においてゲート線21よりTFT22にゲート信号を印加し、TFT22をオン状態にすることによって、信号線15よりキャパシタンスがCの補助容量24の透明電極の所定部分23にパルス信号 V_d が印加される。更に、時間 t_1 において、ゲート信号をオフにすることによって、TFT22がオフ状態になる。このときのパルス信号 V_d の電圧を V_{d1} とすると、透明電極の所定部分23の電圧は V_{d1} になる。時間 t_1 以後の補助容量24の透明電極の所定部分23と補助容量電極25の電位差は、電圧 V_{cs} と V_{d1} の差が保持され、補助容量24に蓄積される電荷量 Q_1 は $C(V_{cs} - V_{d1})$ クーロンとなる。その後、TFT22にゲート信号を印加し、TFT22をオン状態にする。そして、補助容量24に蓄積された電荷量 Q_1 は、TFTアレイテスターの読み取り回路で検出される。

【0009】

しかし、Cs線13に供給される V_{cs} が一定電圧であるので、補助容量24

に信号線 1 5 からのパルス信号 V_d が印加されないとき、透明電極の所定部分 2 3 の電圧は 0 V であり、補助容量 2 4 の透明電極の所定部分 2 3 と補助容量電極 2 5 の電位差は V_{cs} になる。このとき、補助容量 2 4 に蓄積されている電荷量 Q_2 は $C V_{cs}$ クーロンになり、TFT アレイテスターで検出される電荷量 Q は Q_2 と Q_1 の差である $C V_{d_1}$ クーロンになる。従って、電荷量 Q が補助容量 2 4 と信号線 1 5 からの書込み電圧によって決定することを示しており、Cs 線 1 3 の断線による影響が考慮されないことを示している。

【0 0 1 0】

また、特開平 1 1 - 8 4 4 2 0 号において、各種の線において電圧と電流を測定することにより、各種の線の抵抗を計算し、算出された抵抗値より断線又は短絡を検出する方法が開示されている。しかし、Cs 線のそれぞれにプローブを接続するためのパッドを設ける必要があり、パッドの数が多くなる。

【0 0 1 1】

【発明が解決しようとする課題】

本発明の目的は、TFT アレイ基板の補助容量の線の断線を簡易に且つ短時間で検査するための方法及び装置を提供することにある。

【0 0 1 2】

【課題を解決するための手段】

本発明に係るアレイ基板の検査方法の要旨とするところは、基板と、該基板上にマトリックス状に電氣的に非導通状態で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、該複数の補助容量線のそれぞれと該複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量とを備えたアレイ基板の検査方法であって、前記複数の補助容量線から前記複数の補助容量にパルス信号を印加するステップと、前記複数の信号線から前記複数のスイッチング素子を介して前記複数の補助容量にパルス信号を印加するステップと、前記した 2 つのパルス信号の電位差によって該補助容量に蓄積された電荷量を測定する測定ステップとを含む。上記の補助容量に上記信号線からのパルス信号を印加するだけでは、この補助容量に蓄積された電荷量を測定し

たときに、上記の補助容量線の断線の影響は考慮されない。上記の補助容量線の断線の影響は考慮するために、上記信号線よりパルス信号を印加するときに、上記の補助容量線にもパルス信号を印加する。このことによって、上記補助容量に蓄積された電荷量は、上記信号線及び補助容量線より印加されるパルス信号によって決定し、上記補助容量に蓄積された電荷量を測定したときに、上記の補助容量線の断線が検出される。

【 0 0 1 3 】

また、本発明に係るアレイ基板の検査装置の要旨とするところは、基板と、該基板上にマトリックス状に電氣的に非導通状態で配設された複数のゲート線、複数の信号線及び複数の補助容量線と、該複数のゲート線のそれぞれと該複数の信号線のそれぞれに電氣的に接続された複数のスイッチング素子と、前記複数の補助容量線のそれぞれと前記複数のスイッチング素子のそれぞれとに電氣的に接続された複数の補助容量と、を備えたアレイ基板を検査するためのアレイ基板の検査装置であって、前記複数の補助容量のそれぞれにパルス信号を印加するために前記補助容量線と前記信号線に接続されたパルス信号発生装置と、前記それぞれの補助容量に蓄積された電荷量を測定する回路を備えた。上記の信号線と補助容量線に上記のパルス信号発生装置を接続することによって、上記補助容量に該信号線と該補助容量線よりパルス信号を印加する。このことにより、上記電荷量を測定する回路によって補助容量に蓄積された電荷量を測定することによって、補助容量線の断線の検出することができる。

【 0 0 1 4 】

【発明の実施形態】

次に、本発明に係る T F T アレイ基板の補助容量の線の断線の検査方法及び検査装置の実施形態を図面に基づいて説明する。検査される蓄積容量方式を用いた T F T アレイ基板は、図 8 (a) に示すように、ガラス基板上に、ゲート線 2 1、信号線 1 5 及び C s 線 1 3 が、マトリックス状に配線されている。ゲート線 2 1 と信号線 1 5 の交叉部付近に T F T 2 2 が配置されている。また、 T F T 2 2 のドレインに透明電極が接続される。透明電極は図示していない。 C s 線 1 3 には補助容量電極 2 5 が接続されており、透明電極の所定部分 2 3 とこの補助容量

電極 2 5 が対向するように配置されることによって、補助容量 2 4 が形成されている。

【 0 0 1 5 】

本発明のアレイ基板の検査装置の構成図を図 1 に示す。アレイ基板の検査装置において、C s 線 1 3 に C s 信号発生回路 1 2 が接続される。この C s 信号発生回路 1 2 は、パルス信号 V c s を発生する。また、信号線 1 5 はスイッチ 1 1 をかいして、試験信号発生回路 1 4 と読み取り回路 1 6 が接続される。試験信号発生回路 1 4 より信号線 1 5 に供給する信号は、パルス信号 V d である。スイッチ 1 1 は、補助容量 2 4 に電荷を蓄えるときに、試験信号発生回路 1 4 に接続し、補助容量 2 4 に蓄積された電荷を読み取るときに、読み取り回路 1 6 に接続される。また、ゲート線 2 1 には T F T 2 2 を駆動させるためのゲート信号を発生させるゲート信号発生回路 2 0 が接続されている。補助容量 2 4 のキャパシタンスは C とする。

【 0 0 1 6 】

補助容量 2 4 に電荷が蓄積されていない状態で、図 1 に示すスイッチ 1 1 を試験信号発生回路 1 4 へ接続する。試験信号発生回路 1 4 から信号線 1 5 に、図 2 に示すパルス信号 V d を供給する。更に、図 2 における時間 t_0 に、ゲート信号発生回路 2 0 より T F T 2 2 にゲート信号を供給することによって、T F T 2 2 をオン状態にして、補助容量 2 4 の透明電極の所定部分 2 3 にパルス信号 V d を印加する。ゲート信号が T F T 2 2 に印加されている時間 t_0 から時間 t_1 の間、T F T 2 2 はオン状態であり、補助容量 2 4 の透明電極の所定部分 2 3 にパルス信号 V d が印加される。更に、C s 線 1 3 に接続された C s 信号発生回路 1 2 より、図 2 に示すようなパルス信号 V c s を C s 線 1 3 に供給し、補助容量 2 4 の補助容量電極 2 5 にパルス信号 V c s を印加する。パルス信号 V d とパルス信号 V c s の立ち上がりの時間は、信号線 1 5 と C s 線 1 3 の抵抗及び補助容量 2 4 によって決まり、それぞれ立ち上がりの時間は異なる。また、図 3 に示すように、ゲート信号がオフされるとき、即ち時間 t_1 に V d と V c s の電位差が生じるのならば、パルス信号 V d とパルス信号 V c s が信号線 1 5 と C s 線 1 3 に供給する時間をずらすことも可能である。

【 0 0 1 7 】

上記のように、補助容量 2 4 の透明電極の所定部分 2 3 と補助容量電極 2 5 にそれぞれパルス信号 V_d とパルス信号 V_{cs} を印加することによって、透明電極の所定部分 2 3 と補助容量電極 2 5 に電位差が生じる。そして、図 2 における時間 t_1 に、ゲート信号をオフにし、TFT 2 2 をオフ状態にする。このとき、補助容量 2 4 の透明電極の所定部分 2 3 にかかるパルス信号 V_d の電圧を V_{d1} 、補助容量電極 2 5 にかかるパルス信号 V_{cs} の電圧を V_{cs1} とする。従って、補助容量 2 4 の透明電極の所定部分 2 3 と補助容量電極 2 5 に生じる電位差は $V_{cs1} - V_{d1}$ になる。この電位差が保持されることによって、補助容量 2 4 に $C(V_{cs1} - V_{d1})$ クーロンの電荷量 Q_1 が蓄積される。

【 0 0 1 8 】

なお、図 2 において、信号線 1 5 と C_s 線 1 3 のそれぞれに供給されるパルス信号 V_d とパルス信号 V_{cs} は、ゲート信号によって TFT 2 2 がオフ状態になった時間 t_1 以後、次にゲート信号が TFT 2 2 に印加されて、補助容量 2 4 に蓄積された電荷量を読み取るまでに、任意の時間で立ち下がることとする。

【 0 0 1 9 】

上記の工程によって補助容量 2 4 に電荷が蓄積された後、補助容量 2 4 に蓄積された電荷量を読み取るために、スイッチ 1 1 を読み取り回路 1 6 に接続する。そして、TFT 2 2 にゲート信号を供給することによって、ゲート信号が TFT 2 2 に供給されている間、TFT 2 2 がオン状態になり、補助容量 2 4 に蓄積された電荷が読出し回路 1 6 に供給され、補助容量 2 4 に蓄積された電荷量を測定する。

【 0 0 2 0 】

補助容量 2 4 の透明電極の所定部分 2 3 と補助容量電極 2 5 にそれぞれのパルス信号 V_d とパルス信号 V_{cs} を印加しないとき、補助容量 2 4 に蓄積されている電荷量 Q_2 は 0 クーロンであり、読み取り回路 1 6 が検出する電荷量 $Q = Q_2 - Q_1$ は $C(V_{d1} - V_{cs1})$ クーロンである。従って、従来技術で含まれなかった C_s 線 1 3 に印加されたパルス信号 V_{cs} が考慮されている。これは、あらかじめ C_s 線が断線していない場合の電荷量 Q の基準範囲を決定しておくこと

によって、C s 線 1 3 が断線した場合、 V_{cs1} の値が基準値にならないことによって、電荷量 Q の値が基準範囲に入らず、C s 線の断線を検出することが可能になる。

【 0 0 2 1 】

なお、上記した C s 線 1 3 の断線検査において、電荷量 Q は、C s 線 1 3 の断線の影響以外に、信号線 1 5 の断線等によっても値が変化する。よって、C s 線 1 3 の断線の検査を行なう前に、各種の線の断線、短絡、抵抗又は画素欠陥等の検査を行なうことが好ましい。

【 0 0 2 2 】

補助容量 2 4 は、一本の C s 線 1 3 に並列に多段接続されており、図 4 に示すような、C s 線 1 3 の抵抗 4 2 との等価回路で表される。従って、補助容量 2 4 の位置によって、C s 線 1 3 からのパルス信号 V_{cs} のパルスの立ち上がりの時間が異なるために上記した V_{cs1} が異なり、補助容量 2 4 毎に蓄積される電荷量が異なる。図 5 に C s 線 1 3 とパルス信号 V_{cs} の関係を示す。図 5 において、補助容量、T F T、信号線及びゲート線等は省略している。C s 線 1 3 の両端からパルス信号 V_{cs} が印加されるので、A 線のように C s 線 1 3 が断線していなければ、中心の補助容量 2 4 に印加されるパルス信号 V_{cs} のパルスの立ち上がり時間が最も遅く、C s 線 1 3 の両端の補助容量 2 4 に印加されるパルス信号 V_{cs} のパルスの立ち上がり時間が最も短い。

【 0 0 2 3 】

しかし、図 5 の B 線のように C s 線 1 3 が断線した場合、断線部分 5 2 の付近の補助容量 2 4 に印加されるパルス信号 V_{cs} のパルスの立ち上がりの時間が遅くなる。これは、C s 線 1 3 の両端からパルス信号 V_{cs} を印加しても、断線部分 5 2 でパルス信号 V_{cs} が止まってしまい、逆方向からのパルス信号 V_{cs} が印加されるためである。従って、C s 線 1 3 が断線していない場合の補助容量 2 4 に蓄積される電荷量とは異なる電荷量を蓄積する補助容量 2 4 が発生する。

【 0 0 2 4 】

図 6 (a) , (b) に、1 4 型から 1 7 型の X G A (e X t e n d e d G r

a p h i c s A r r a y) の液晶パネルにおける、C s 線 1 3 に断線が無い場合と有る場合の補助容量 2 4 の位置とそれぞれの補助容量 2 4 に蓄積される電荷量の関係を示す。図 6 において、横軸は補助容量 2 4 の位置であるが、1 4 型から 1 7 型の X G A の液晶パネルにおいて、一本の C s 線 1 3 に接続された補助容量 2 4 の個数は 3 0 7 2 個であり、C s 線 1 3 のどちらか一端に接続された補助容量 2 4 を 0 とし他端に接続された補助容量 2 4 を 3 0 7 1 としている。図 6 (a) と (b) を比較すると、図 5 に示す断線部分 5 2 に近づくほど補助容量 2 4 に蓄積される電荷量の差が顕著になり且つ、図 6 (b) において断線部分 5 2 付近で補助容量 2 4 に蓄積される電荷量に顕著な差が発生している。従って、断線が無い場合と実際の断線検査の結果とを比較することによって、C s 線 1 3 の断線を検出することが可能である。また、検出された電荷量に顕著な差が発生しているか否かを検出することによっても C s 線 1 3 の断線を検出することが可能である。

【 0 0 2 5 】

上記の方法で C s 線 1 3 の断線を検出する場合は、C s 線 1 3 の一本毎にすべての補助容量 2 4 について同じ検査を実施することが必要である。しかし、図 6 (a) と (b) を比較すると、断線部分 5 2 以外でも、検出される電荷量に差があることが分かる。例えば、C s 線 1 3 の中心に接続された補助容量 2 4 の電荷量のみを検出して、断線を検出することも可能である。即ち、一本の信号線 1 5 に接続された T F T 2 2 を介して接続された、それぞれの補助容量 2 4 の電荷量を検出する。この方法を用いれば、全ての補助容量 2 4 の電荷量を検出する必要はなく、断線検査にかかる時間が短縮される。例えば、1 4 型から 1 7 型等を使用される X G A の液晶パネルの場合、一本の C s 線 1 3 に接続されている 3 0 7 2 個のすべての補助容量 2 4 について電荷量の検出は行なわず、1 個の補助容量 2 4 について上記の検査を実施すればよい。X G A の液晶パネルの 7 6 8 本すべての C s 線 1 3 について、それぞれ 1 個の補助容量 2 4 の電荷量の検出を行なうことによって、7 6 8 本すべての C s 線 1 3 の断線検査にかかる検査時間は、約 1 秒から 2 秒であり、短時間に検査が終了する。

【 0 0 2 6 】

以上、本発明に係るアレイ基板の検査方法及び該検査装置について、一実施形態を記載したが、本発明はこの実施形態に限定されるものではない。その他の実施形態として、信号線 1 5 にはパルス信号 V_d を供給せず、 C_s 線 1 3 にパルス信号 V_{cs} を供給する検査方法を示す。信号線 1 5 にパルス信号 V_d を供給しないので、図 1 におけるスイッチ 1 1 を読み取り回路 1 6 に接続する。なお、スイッチ 1 1 と試験信号発生回路 1 4 を使用せず、直接読み取り回路 1 6 を信号線 1 5 に接続することも可能である。 C_s 線 1 3 に図 7 に示すようなパルス信号 V_{cs} を供給すると、補助容量電極 2 5 には、パルス信号 V_{cs} が印加される。透明電極の所定部分 2 3 にはパルス信号 V_d が印加されないので、透明電極の所定部分 2 3 の電圧は 0 V になる。

【0027】

図 7 において、時間 t_0 にゲート信号をゲート線 2 1 に供給し、TFT 2 2 をオン状態にする。TFT 2 2 がオン状態になったことによって、補助容量 2 4 に蓄積された電荷は信号線 1 5 を通って読み取り回路 1 6 で読み取られる。そして、図 7 における時間 t_1 に、ゲート信号をオフにすることによって、TFT 2 2 がオフ状態になり、補助容量 2 4 に蓄積された電荷が信号線 1 5 を通って読み取り回路 1 6 で読み取られることが中止される。時間 t_1 におけるパルス信号 V_{cs} の電圧を V_{cs1} とすると、補助容量 2 4 の補助容量電極 2 5 と透明電極の所定部分 2 3 の電位差は V_{cs1} になる。従って、補助容量 2 4 に蓄積された電荷量 Q_1 は $C V_{cs1}$ クーロンになる。

【0028】

また、補助容量電極 2 5 にパルス信号 V_{cs} を印加しないときの補助容量に蓄積されている電荷量 Q_2 は、補助容量電極 2 5 と透明電極の所定部分 2 3 の電位差が 0 V であるので 0 クーロンになる。従って、時間 t_1 に読み取り回路 1 6 で読み取られる補助容量 2 4 に蓄積された電荷量 Q は、 $Q_2 - Q_1 = -C V_{cs1}$ クーロンであり、 C_s 線に供給されたパルス信号 V_{cs} が考慮されている。

【0029】

図 7 における時間 t_1 は、パルス信号 V_{cs} のパルスの立ち上がりの時間中の任意のタイミングである。また、上記の実施形態に示したように、 C_s 線 1 3 に

接続された全ての補助容量 2 4 について電荷量を測定するのではなく、任意の一個の補助容量 2 4 について電荷量を測定する。即ち、一本の信号線 1 5 に T F T 2 2 を介して接続された全ての補助容量 2 4 について、蓄積された電荷量を測定する。全ての C s 線 1 3 について一個の補助容量 2 4 の電荷量を測定することによって、短時間で T F T アレイ基板における全ての C s 線 1 3 の断線検査が終了する。

【 0 0 3 0 】

その他、本発明は、その趣旨を逸脱しない範囲内で、当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施し得るものである。

【 0 0 3 1 】

【発明の効果】

本発明に係るアレイ基板の検査方法は、信号線のパルス信号以外に C s 線にもパルス信号を供給することによって、C s 線の断線を検査することが可能になった。従って、従来なら次の工程に流入していた C s 線が断線したアレイ基板が、次の工程に流入することを防ぐことができる。また、C s 線の断線の検査時間も短時間で終了できる。

【 0 0 3 2 】

また、本発明に係るアレイ基板の検査装置は、C s 線にパルス信号を供給する回路が新たに加えられただけであり、複雑な検査装置が追加されていない。従って、従来技術と同じように、補助容量の電荷量を読み取ることによって、C s 線の断線を検出することが可能である。

【図面の簡単な説明】

【図 1】

本発明の T F T アレイ基板の C s 線の検査装置の一例を示す構成図である。

【図 2】

本発明の T F T アレイ基板の C s 線の断線検査における各信号の関係を示した図である。

【図 3】

C s 線と信号線に供給する信号の時間がずれた場合の図である。

【図 4】

C s 線と補助容量の等価回路の図である。

【図 5】

C s 線と C s 線より補助容量に印加されるパルス信号の関係を示した図である。

【図 6】

補助容量の位置と蓄積される電荷量の関係を示した図であり、(a)はC s 線に断線部分がない場合の図で、(b)は断線がある場合の図である。

【図 7】

C s 線にパルス信号 V_{cs} を供給し、信号線にパルス信号 V_d を供給しない場合の図である。

【図 8】

(a)はTFTアレイ基板の模式図であり、(b)はTFTアレイ基板の要部拡大図である。

【図 9】

(a)は駆動容量方式の構成図であり、(b)は蓄積容量方式の構成図である。

【図 10】

従来技術における補助容量に印加する信号の図である。

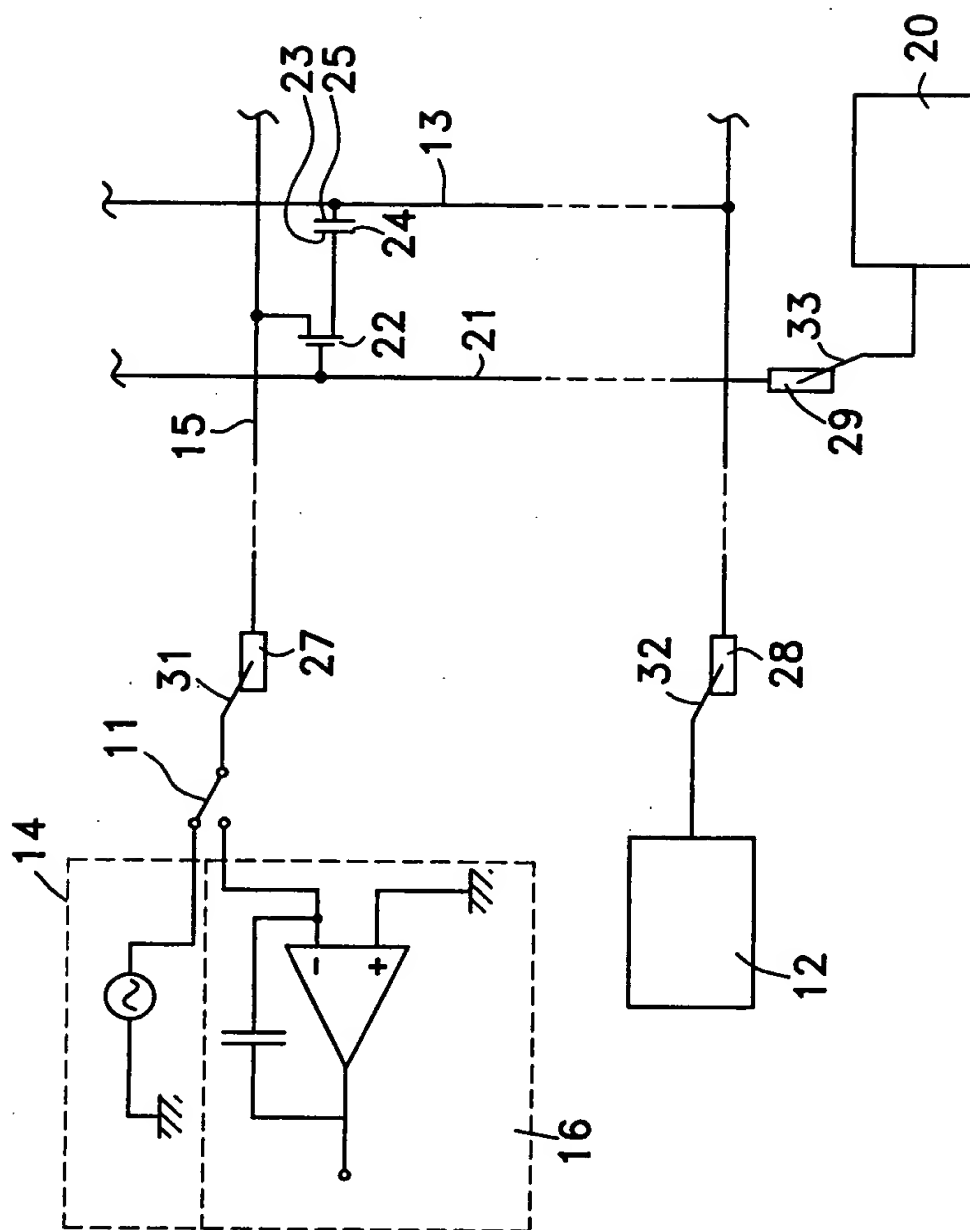
【符号の説明】

- 11 : スイッチ
- 12 : C s 信号発生回路
- 13 : C s 線
- 14 : 試験信号発生回路
- 15 : 信号線
- 16 : 読み取り回路
- 20 : ゲート信号発生回路
- 21 : ゲート線
- 22 : TFT

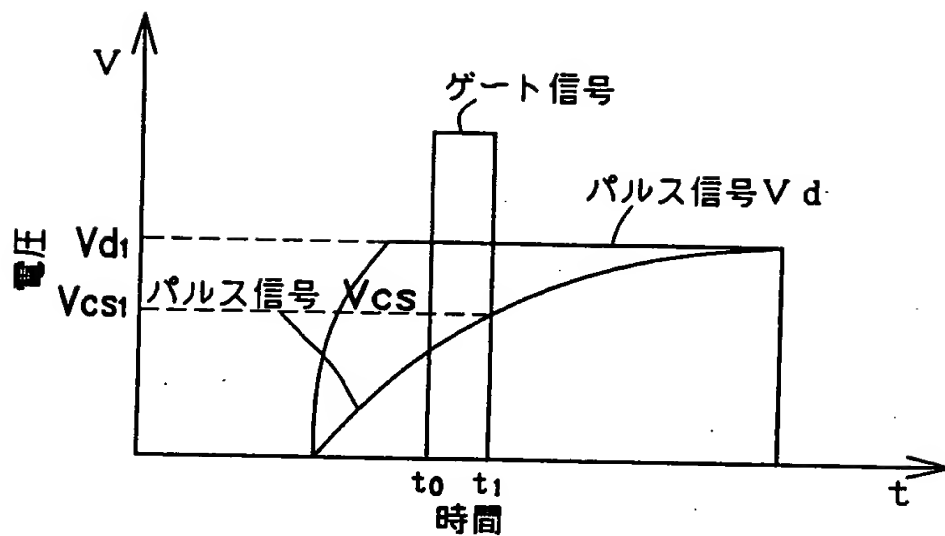
- 2 3 : 透明電極の所定部分
- 2 4 : 補助容量
- 2 5 : 補助容量電極
- 2 7 : 信号線パッド
- 2 8 : C s 線パッド
- 2 9 : ゲート線パッド
- 3 1 , 3 2 , 3 3 : プローブ
- 4 2 : C s 線の抵抗
- 4 4 : 補助容量
- 5 2 : 断線部分
- 5 4 : パルス信号 V c s

【書類名】 図面

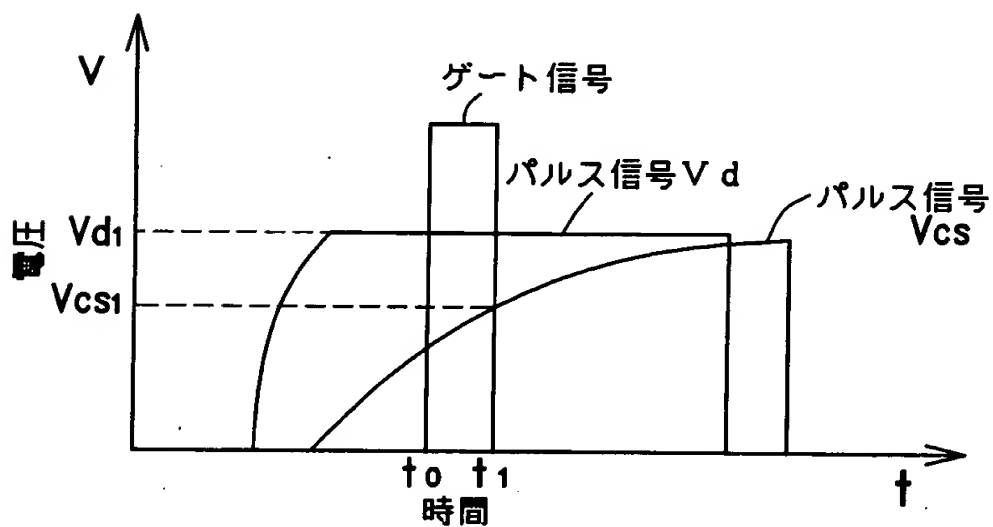
【図 1】



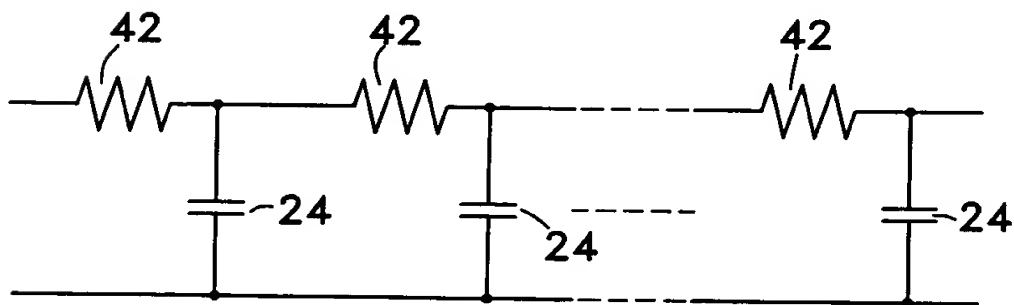
【図 2】



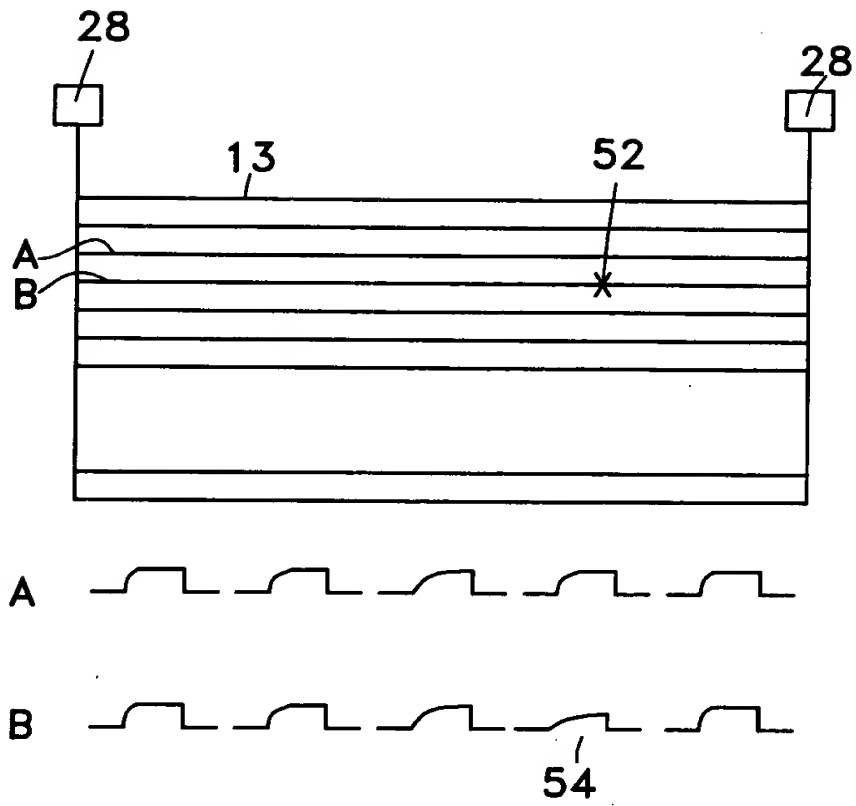
【図 3】



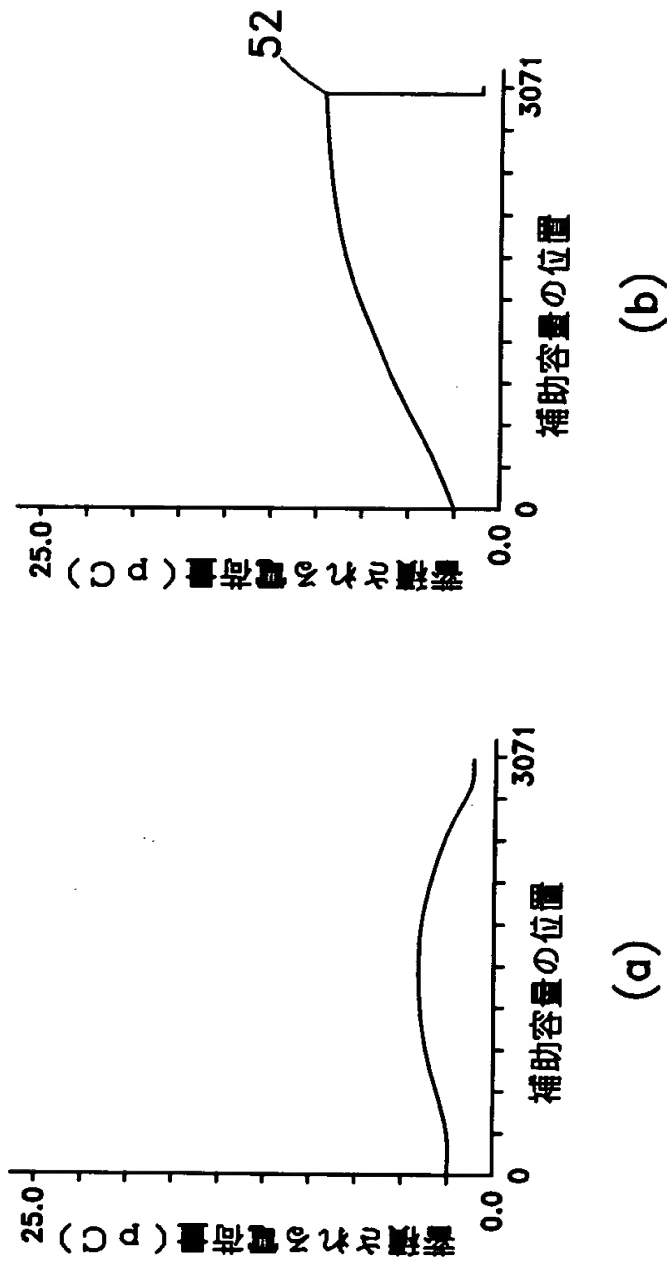
【図 4】



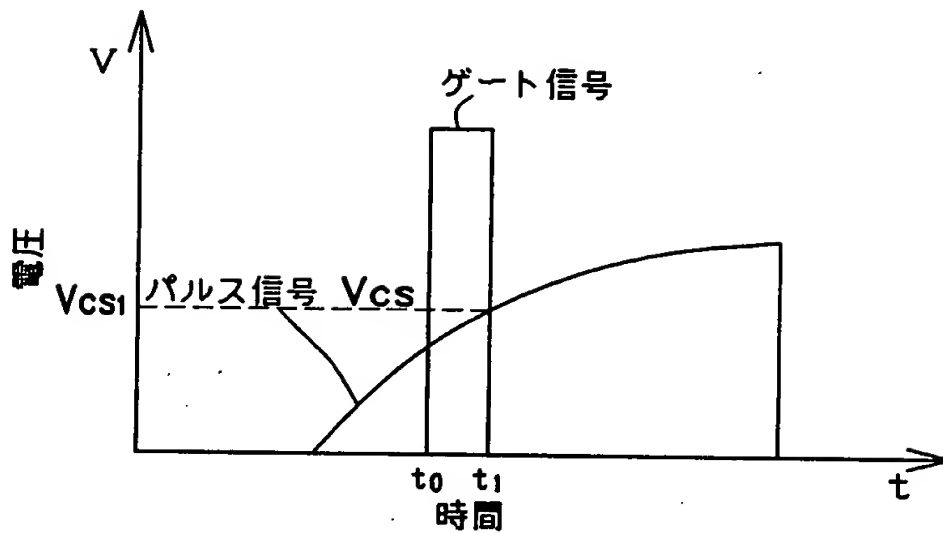
【図 5】



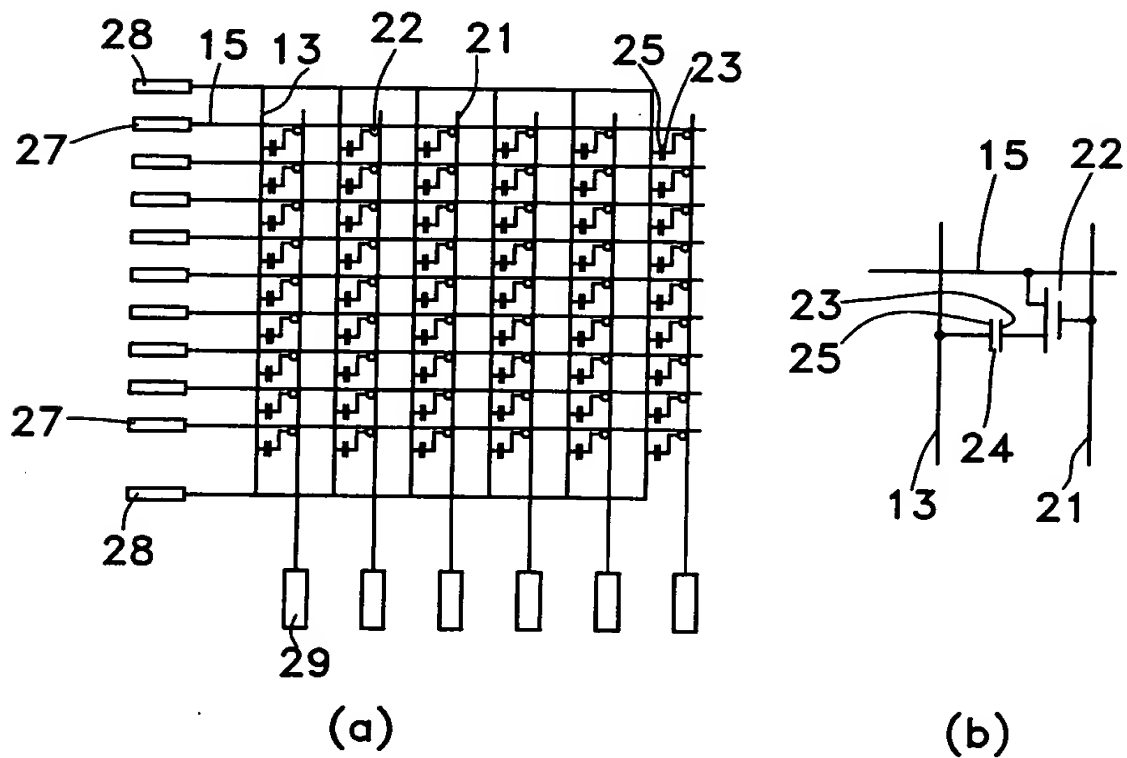
【図 6】



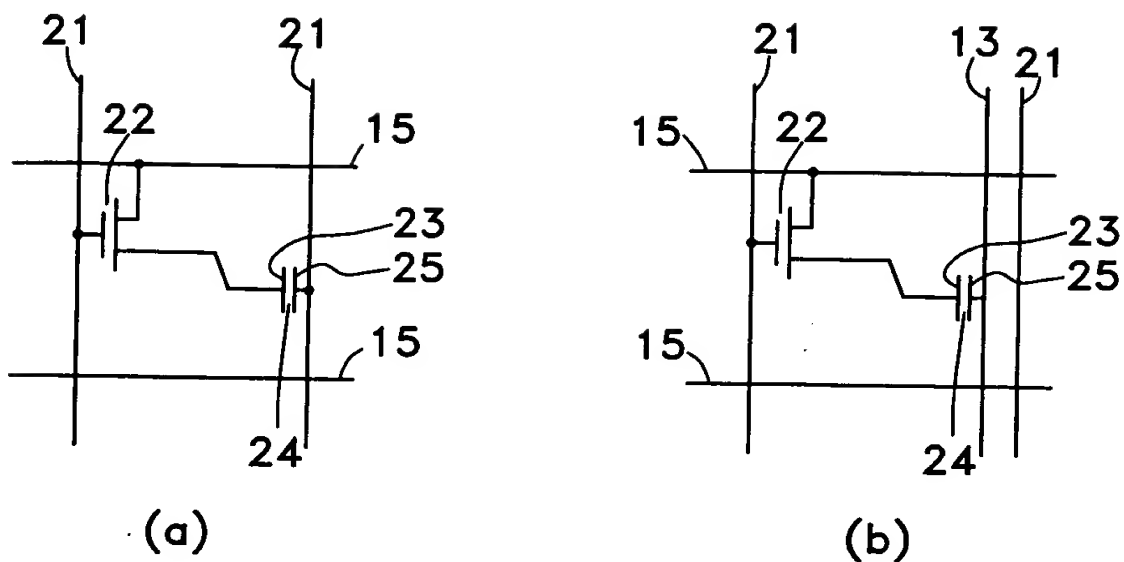
【図 7】



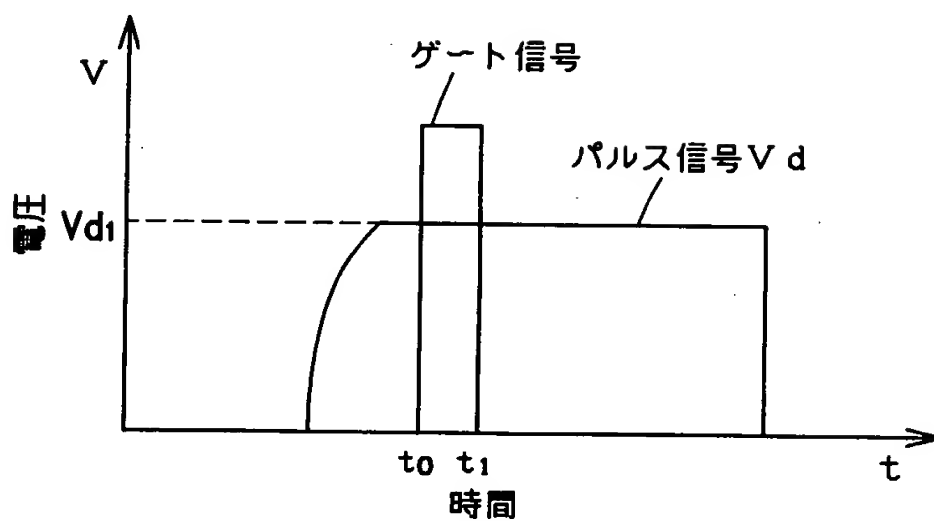
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 液晶表示装置に使用されるアレイ基板の検査において、補助容量線の断線の検査方法及び検査装置を提供することにある。

【解決手段】 TFTアレイ基板の信号線15とCs線13よりパルス信号Vdとパルス信号Vcsを同時に補助容量24に印加することによって、補助容量24に蓄積される電荷量が $C(Vd_1 - Vcs_1)$ になり、読み取り回路16で上述の電荷量を検出したときに、Cs線13の断線の影響が考慮されるアレイ基板の検査方法を構成した。なお、すべての補助容量24について上記の検査を行わず、各Cs線13の中の1個の補助容量24について検査することによって、14型から18型の液晶パネルで約1秒から2秒で、すべてのCs線13の検査が終了する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 3 5 5 0 5
受付番号	5 0 0 0 0 9 8 7 2 8 0
書類名	特許願
担当官	大井手 正雄 4 1 0 3
作成日	平成 1 2 年 9 月 2 0 日

<認定情報・付加情報>

【提出日】 平成12年 8月 3日

【特許出願人】

【識別番号】 390009531

【住所又は居所】 アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名又は名称】 坂口 博

【復代理人】 申請人

【識別番号】 100094248

【住所又は居所】 滋賀県大津市栗津町 4 番 7 号 近江鉄道ビル 5 F
楠本特許事務所

【氏名又は名称】 楠本 高義

【選任した代理人】

【識別番号】 100091568

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名又は名称】 市位 嘉宏

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション